

# AGM AG16K PSoC 数据手册

版本: 1.0

**AGM AG16K PSoC**

低成本 高集成 可编程 PSoC

## 概述

AGM AG16K PSoC 面向大批量，对成本敏感的应用，使系统设计人员能够满足不断增长的性能要求，同时降低成本。

该器件基于 AGM PSoC 架构完成设计。在单个器件中集成了一个 ARM®Cortex™内核，AGM 可编程逻辑，12 位 ADC，64Mbit SDRAM 或 128Mbit DDR SDRAM。

AGM PSoC 的低成本和优化集成功能，为各种消费类，通信，视频处理，测试和测量以及其他终端市场提供了理想的解决方案。

## 特性

### MCU 架构

- **ARM® Cortex™ M3:** 工作频率最高达到 200 MHz
- 片内 **Memory:** 128Kbytes SRAM
- **I/O 接口:**
  - 外部 AHB Slave Interface
  - 片内 Memory 接入端口
  - UART
  - GPIO
  - JTAG 调试端口
  - SPI Flash 接口
- **内部互联:** ARM AMBA® AHB 总线

### SDRAM:

- 16bits 数据带宽
- 64Mbits 容量
- 最高 166MHz 工作频率

### 模数转换器 (ADC) :

- 12bits 精度
- 1MHz 采样频率
- 片内温度传感器
- 10 通道 (包括温度传感器)

## FPGA 架构

- 16K 高密度结构化的逻辑单元 (LE)
- M9K 嵌入式内存块, 最大 504 Kbit RAM 空间
- 最多 56 个 18 x 18 位嵌入式乘法器, 每个均可配置为两个独立的 9 x 9 位乘法器
- 4 个 PLL, 提供时钟乘法 and 相移功能
- 高速差分 I/O 标准支持, 包括 LVDS, RSDS, mini-LVDS, LVPECL
- 支持 DDR, DDR2
- 单端 I/O 标准支持, 包括 3.3V, 2.5V, 1.8V 和 1.5V LVCMOS 和 LVTTL
- 灵活的配置方式: JTAG, AS, PS
- 支持远程更新, 通过“多启动”方式实现

CONFIDENTIAL

## 目 录

概述.....	2
特性.....	2
1. 功能概述.....	5
2. MCU 架构.....	6
2.1. 功能描述.....	6
2.2. MCU 处理器单元.....	7
2.3. 片内存储接口.....	7
2.4. 外部 AHB Slave 接口.....	8
2.5. I/O 外设 (IOP).....	8
3. 存储单元.....	11
4. 模数转换器 (ADC).....	12
4.1. 功能描述.....	12
4.2. 特性.....	12
5. FPGA 架构.....	13
5.1. 功能说明.....	13
5.2. 逻辑单元 (LE).....	13
5.3. 时钟网络.....	14
5.4. 锁相环 (PLLs).....	15
5.5. 嵌入式存储器 Block Ram.....	16
5.6. 嵌入式乘法器.....	17
5.7. I/O.....	17
5.8. 外部存储器接口.....	18
6. 器件配置.....	18
6.1. 配置流程.....	18
6.2. 配置数据压缩.....	18
7. DC 电气特性.....	19
7.1. 上电复位电路 (POR).....	19
8. MCU 系统地址及寄存器.....	22
9. 管脚排列.....	22
10. 开发软件.....	22
11. 型号信息.....	22
12. 器件封装.....	23
13. 建议的回流焊曲线.....	25
14. 符合 RoHS.....	27
15. ESD 注意事项.....	27

## 1. 功能概述

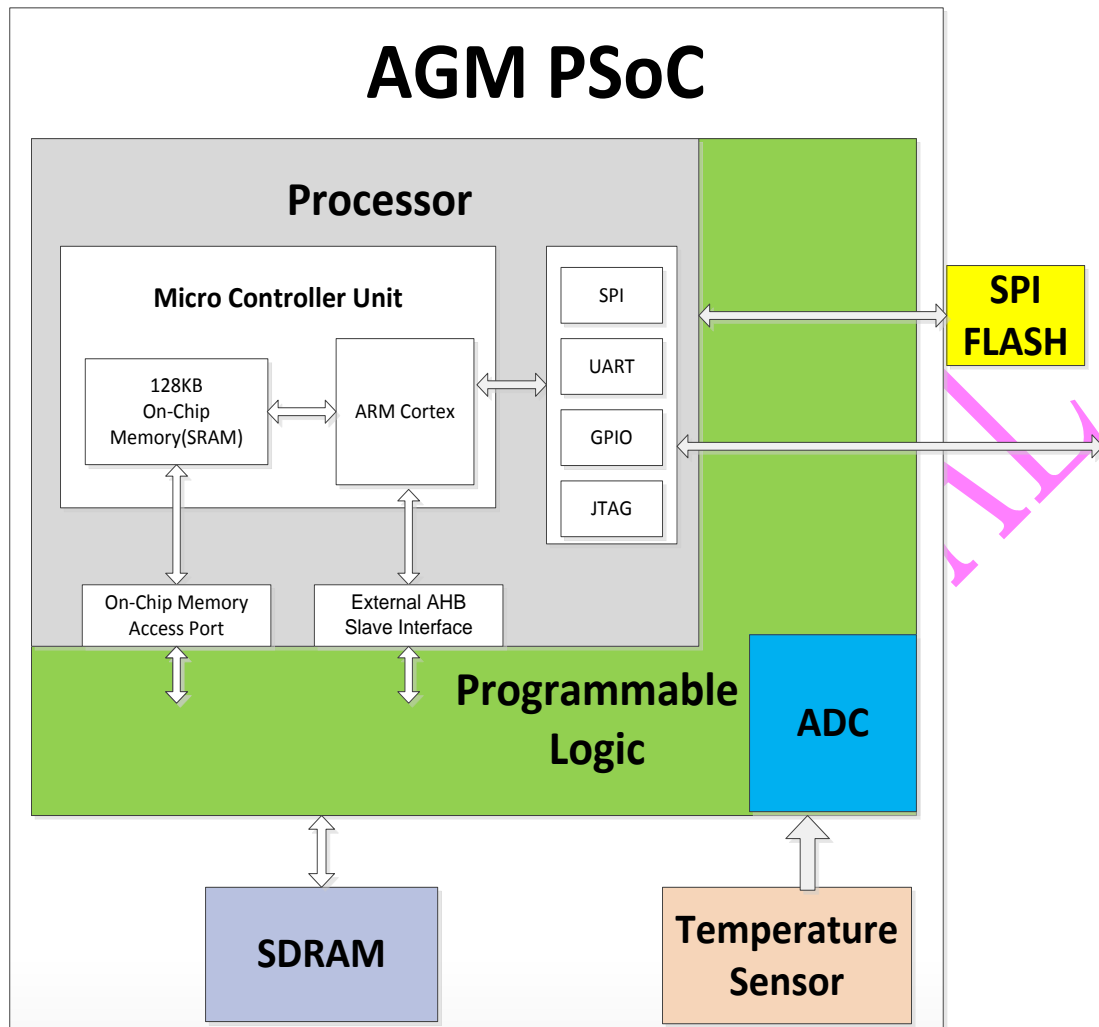
**Table 1-1: AGM PSoC**

<b>AGM PSoC</b>		
<b>Device Name</b>		<b>AG16K PSoC</b>
<b>MCU</b>	<b>Processor Core</b>	ARM Cortex M3
	<b>Maximum Frequency</b>	200MHz
	<b>On-Chip Memory(SRAM)</b>	128KBytes
	<b>Interfaces</b>	AHB Master and Slave Interface, On-Chip Memory Access Port, 1 x UART, 24 x GPIOs, 1 x SPI Flash Interface
<b>Memory</b>	<b>Capability</b>	DDR – 128Mbits, SDRAM - 64Mbits
	<b>Datawidth</b>	DDR – 16bits, SDRAM - 32bits
	<b>Max Working Frequency</b>	DDR – 400MHz, SDRAM - 166MHz
<b>FPGA</b>	<b>Logic elements (LEs)</b>	16624
	<b>Embedded memory (Kbits)</b>	504
	<b>Embedded 18 x 18 multipliers</b>	56
	<b>General-purpose PLLs</b>	4
	<b>Global Clock Networks</b>	20
	<b>User I/O Banks</b>	8

**Table 1-2: Device-Package Combinations: Maximum I/Os**

<b>Device</b>	AG16KSDE176	AG16KSDE176G	AG16KSDF256	AG16KDDF256
<b>Package</b>	EQFP176	EQFP176	FBGA256	FBGA256
<b>Body Size(mm)</b>	20 x 20	20 x 20	17 x 17	17 x 17
<b>Pitch(mm)</b>	0.4	0.4	1.0	1.0
<b>Max User IO</b>	124	139	152	169

Figure 1-1 illustrates the functional blocks of AGM PSoC.



## 2. MCU 架构

### 2.1. 功能描述

AGM PSoC 器件在一个采用层压封装技术的芯片中包含了 MCU 处理器，FPGA，SDRAM / DDR，ADC 等模块。AGM PSoC 提供了 MCU 的灵活性和可扩展性，同时提供了通常与 ASIC 和 ASSP 相关联的性能，功能和易用性。

图示 1-1，MCU 包含了以下主要模块：

- MCU 处理器单元
- 片内存储接口
- 外部 AHB Slave 接口
- I/O 外设 (IOP)

## 2.2.MCU 处理器单元

处理器单元的主要特性包括：

- 32 位微处理器
- 最大频率：200MHz
- 片上存储器（SRAM）：128Kbytes
- 单周期乘法和硬件除法
- 集成的嵌套中断控制器（NVIC）
- 两个计时器（每个计时器可以配置为 32 位计时器或两个 16 位计时器）
- 看门狗定时器
- Cortex M3 嵌入式跟踪模块（ETM）
- 串行调试模式（SWP）

## 2.3.片内存储接口

片内存储器模块包含 128 KB 的 RAM。

MCU 和可编程逻辑可通过 AHB 总线互连对其进行访问。片内存储器通过将 RAM 实现为四字节存储器（32 位）来支持 RAM 访问的高读写吞吐量。

表 2-1 介绍了片内存储器访问接口的端口功能。

**Table 2-1 On-Chip Memory Access Ports**

Pin Name	I/O Direction	Function
EXT_RAM_EN	Input	RAM enable, active high
EXT_RAM_WR	Input	RAM write/read control, write — 1 read — 0
EXT_RAM_ADDR[13:0]	Input	RAM address
EXT_RAM_BYTE_EN [3:0]	Input	RAM data byte enable, active high
EXT_RAM_WDATA[31:0]	Input	RAM write data
EXT_RAM_RDATA[31:0]	Output	RAM read data

## 2.4. 外部 AHB Slave 接口

MCU提供了另一个用于FPGA数据通信的外部AHB slave（从）接口，例如片上存储器访问接口。 AHB从接口可实现FPGA的32位读写数据接口。

表2-2介绍了外部AHB从接口的功能。

**Table 2-2 External AHB Slave Ports**

Pin Name	I/O Direction	Function
HRESP_EXT[1:0]	Input	
HREADY_OUT_EXT	Input	FPGA Slave Ready
HRDATA_EXT[31:0]	Input	FPGA send data to MCU
HTRANS_EXT[1:0]	Output	
HADDR_EXT[31:0]	Output	MCU access address
HWRITE_EXT	Output	Write Enable
HSEL_EXT	Output	
HWDATA_EXT[31:0]	Output	MCU write data to FPGA
HSIZE_EXT[2:0]	Output	
HREADY_IN_EXT	Output	

## 2.5. I/O 外设 (IOP)

### UART

UART 控制器是全双工异步接收器和发送器，支持多种可编程波特率和 I/O 信号格式。该控制器支持自动奇偶校验生成和多主机检测模式。控制器由独立的 Rx 和 Tx 数据路径构成。

UART 控制器具有以下功能：

- 可编程波特率发生器
- 64 字节接收和发送 FIFO
- 可编程协议
- 6、7 或 8 个数据位
- 1、1.5 或 2 个停止位
- 奇数，偶数，空格，标记或没有奇偶校验
- 奇偶校验，成帧和超限错误检测
- 换行符生成
- 产生中断
- RxD 和 TxD 模式：使用模式开关进行正常/回波和诊断环回

表 2-3 介绍了 UART 端口功能。



Table 2-3 UART Ports

Pin Name	I/O Direction	Function
UART_RXD	Input	UART Receive Serial Data
UART_CTS_n	Input	Clear to Send
UART_TXD	Output	UART Send Serial Data
UART_RTS_n	Output	Require To Send

### SPI Flash 接口

MCU 可以通过 SPI FLASH 接口访问内部或外部 SPI 闪存, 或者通过 FPGA I/O 访问其他外部 SPI 器件。

SPI 接口具有以下功能:

- 4 位并行 NOR 闪存, 最大支持 64 MB
- 具有 1 位 ECC 的 ONFi 1.0 NAND 闪存支持
- 支持 1 位 SPI, 2 位 SPI, 4 位 SPI (quad-SPI) 串行 NOR 闪存

表 2-4 介绍了 SPI FLASH 端口功能。

Table 2-4 SPI Flash Ports

Pin Name	I/O Direction	Function
FLASH_BIAS[23:0]	Input	Flash offset address
FLASH_SCK	Output	Flash access clock
FLASH_CS_n	Output	Flash chip select, active low
FLASH_IO0_SI	Output	MCU data to flash
FLASH_IO1_SO	Output	
FLASH_IO2_WPn	Output	Flash write protection, active low
FLASH_IO3_HOLDn	Output	Flash hold signal, active low
FLASH_IO0_SI_i	Input	
FLASH_IO1_SO_i	Input	Flash data to MCU
FLASH_IO2_WPn_i	Input	
FLASH_IO3_HOLDn_i	Input	
FLASH_SI_OE	Output	Data in enable, active high
FLASH_SO_OE	Output	Data out enable, active high
WPn_IO2_OE	Output	WP enable, active high
HOLDn_IO3_OE	Output	Hold enable, active high

## GPIO

GPIO 具有以下功能：

- 通过器件的内部路由到引脚最多 24 个 GPIO 信号
- 输出具有三态能力

每个 GPIO 的功能都可以在单个或分组的基础上进行动态编程。

表 2-5 介绍了 GPIO 端口功能。

**Table 2-5 GPIO Ports**

Pin Name	I/O Direction	Function
GPIO0_I[7:0]	Input	GPIO0 byte data input, nGPEN0 as bit enable
GPIO1_I[7:0]	Input	GPIO1 byte data input, nGPEN1 as bit enable
GPIO2_I[7:0]	Input	GPIO2 byte data input, nGPEN2 as bit enable
GPIO0_O[7:0]	Output	GPIO0 byte data output, nGPEN0 as bit input/output enable, High – GPIO0_I enable, low – GPIO0_O enable
GPIO1_O[7:0]	Output	GPIO1 byte data output, nGPEN1 as bit input/output enable, High – GPIO1_I enable, low – GPIO1_O enable
GPIO2_O[7:0]	Output	GPIO2 byte data output, nGPEN2 as bit input/output enable, High – GPIO2_I enable, low – GPIO2_O enable
nGPEN0[7:0]	Output	GPIO0 byte output enable
nGPEN1[7:0]	Output	GPIO1 byte output enable
nGPEN2[7:0]	Output	GPIO2 byte output enable
O_INI_IP	Output	Active high, MCU initial process is on going and user can't access MCU

### 调试端口（JTAG，SWD）

该调试端口（JTAG 和 SWD）可用于通过器件 IO 调试 MCU 代码。用户可以使用 J-LINK 调试应用程序。

表 2-6 介绍了 JTAG 和 SWD 端口。

**Table 2-6 Debug Ports**

Pin Name	I/O Direction	Function
JTCK	Input	JTAG clock input
JTDI	Input	JTAG data input
JTMS	Input	JTAG mode input
JTDO	Output	JTAG data output
SWDO	Output	SWD Output
SWDOEN	Output	SWD Output En

### 3. 存储单元

AGM PSoC 片内包含了 2 种可选的存储单元：

**DDR:** 集成的 DDR 是 CMOS 双数据速率同步动态随机存取存储器（DDR SDRAM）；容量为 2M words × 4 banks × 16 bits（128Mbits），它提供了高达 400M 字/秒的数据带宽。

**SDRAM:** 集成的 SDRAM 是高速同步动态随机存取存储器（SDRAM），容量为 1024K words × 4 banks × 16 bits（64Mbits）。SDRAM 的数据带宽高达每秒 166M words。

## 4. 模数转换器 (ADC)

### 4.1. 功能描述

模数转换器 (ADC) 是一个12位, 1MSPS逐次逼近型模数转换器, 具有片上采样保持放大器和基准电压源。

ADC具有9个模拟输入通道 (可将1个通道设置为分压器输入) 和一个内部温度传感器通道, 共10个通道。内置输入多路复用器, 允许对通道的预编程选择进行转换。

ADC还有内部AVDD参考和外部参考选择。可以选择一个外部基准, 以使用户可以选择各种输入范围。单个时钟输入用于控制所有内部转换周期。数字输出数据以纯二进制格式显示。

### 4.2. 特性

- 内部AVDD参考/外部参考选项
- 带有输入多路复用器的10个输入通道
- AIN0~AIN7用于外部PIN
- AIN8用于带分压器选件的外部PIN
- IN9是内部温度传感器
- 全速率:  $\leq 1\text{MHz}$
- DNL:  $\pm 1\text{LSB}$
- INL:  $\pm 2\text{LSB}$
- 功耗:  $\leq 700\mu\text{A}$
- 掉电模式
- 二进制输出格式

图4-1为ADC架构图。

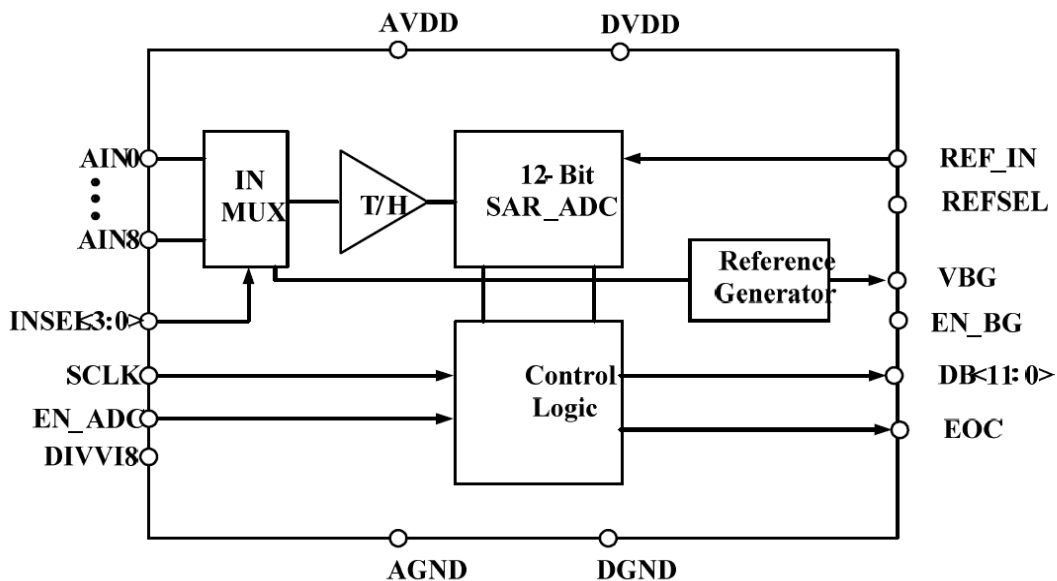


Figure 4-1 Analog-to-Digital Converters (ADC) Architecture

## 5. FPGA 架构

### 5.1. 功能说明

AGM PSoC 器件可编程逻辑部分 (FPGA) 包含业界先进的基于行和列的二维体系结构, 以实现自定义逻辑。速度可变的列和行互连在逻辑块 (LB) 和 IO 之间提供信号互连。逻辑阵列由 LB 组成, 每个 LB 中有 16 个逻辑单元 (LE)。

LE 是逻辑的部分, 可有效实现用户逻辑功能。LB 在整个设备上分为行和列。AG16K PSoC 的 FPGA 部分的容量为 16K 逻辑单元。

全局时钟网络由多达 8 条全局时钟线组成, 它们贯穿整个器件。全局时钟网络可以为设备内的所有资源 (例如输入/输出单元, LE) 提供时钟。全局时钟线也可以用于其他高扇出信号。

每个设备 I/O 引脚由位于设备外围 LB 行和列末端的 IOE 供电。I/O 引脚支持各种单端标准。每个 IOE 都包含一个双向 I/O 缓冲区。

### 5.2. 逻辑单元 (LE)

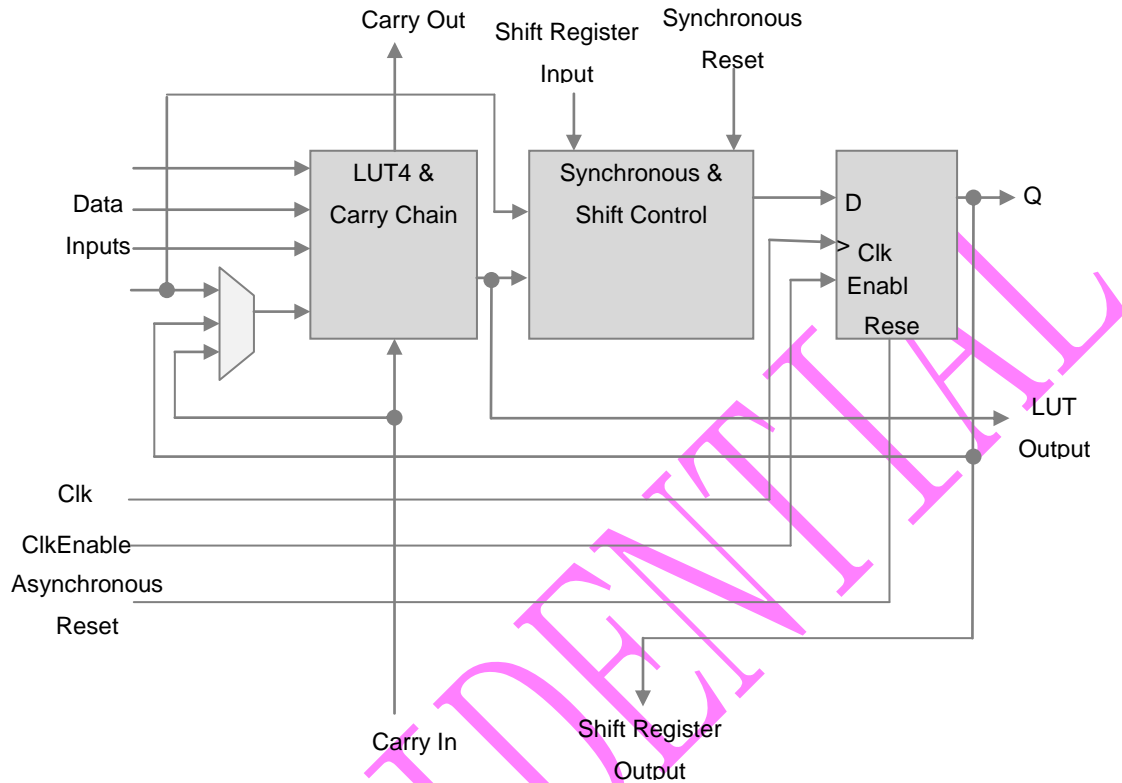
逻辑单元是 FPGA 架构中最小的逻辑单元, 结构紧凑, 具有高效的逻辑利用率, 可提供高级且灵活的功能。LE 的特性如下:

- 工业标准的四输入查找表 (LUT4), 它是一个函数发生器, 可以实现四输入的任何组合逻辑功能
- 可编程寄存器
- 进位链连接
- 寄存器链连接
- 驱动所有类型的互连的能力: 本地, 行, 列, 寄存器链和块间连接
- 支持有效包装 LUT 和寄存器
- 支持寄存器反馈

每个 LE 的寄存器都有数据, 时钟, 时钟使能和清除输入。来自全局时钟网络, 通用 I/O 引脚或任何内部逻辑输出的信号可以驱动寄存器的时钟并清除控制信号。通用 I/O 引脚或内部逻辑均可驱动时钟使能。对于组合功能, LUT 输出绕过寄存器并直接驱动到分片输出资源。LE 的设计使 LUT 和寄存器可以驱动单独的输出。

逻辑单元的结构图请见 5-1:

Figure 5-1. AGM PSoC FPGA LE



### 5.3. 时钟网络

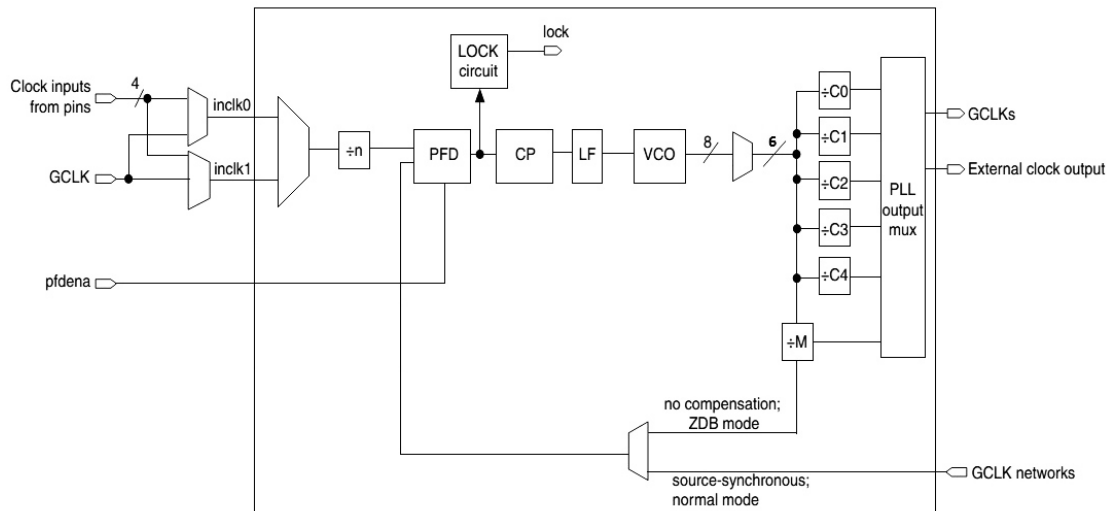
AG16K FPGA 器件支持 15 个专用时钟引脚，可以驱动 20 个全局时钟（GCLK）。GCLK 驱动整个器件，为所有器件象限供电。设备中的所有资源（I/O 元件，逻辑阵列块（LAB），专用乘法器模块，和 M9K 存储器块）可以使用的 GCLK 作为时钟源。

将这些时钟网络资源用于控制信号，例如由外部引脚提供的时钟使能和清除。内部逻辑还可以驱动 GCLK 用于内部生成的 GCLK 和异步清除，时钟使能或其他具有高扇出度的控制信号。

### 5.4. 锁相环 (PLLs)

AG16K PSoC FPGA 包含 4 个通用 PLL，可进行时钟管理，外部系统时钟管理和高速 I/O 接口提供可靠的时钟管理应用。

Figure 5-2. AGM FPGA PLL Block Diagram



每个时钟源都可以来自与 PLL 位于器件同一侧的任何时钟引脚。通用 I/O 引脚无法驱动 PLL 时钟输入引脚。AGM PSoC FPGA PLL 支持四种不同的时钟反馈模式。每种模式都允许时钟乘法和除法，相移和可编程占空比。有关支持的反馈模式和其他功能，请参阅下表 5-1。

Table 5-1. AGM PSoC FPGA PLL Features

Hardware Features	Availability
Compensation modes	Source-Synchronous Mode, No Compensation Mode, Normal Mode, Zero Delay Buffer Mode
C (output counters)	5
M, N, C counter sizes	1 to 512
Dedicated clock outputs	1 single-ended or 1 differential pair
Clock input pins	4 single-ended or 2 differential pairs
Spread-spectrum input clock tracking	Support
PLL cascading	Through GCLK
Phase shift resolution	Down to 96-ps increments
Programmable duty cycle	Support
Output counter cascading	Support
Loss of lock detection	Support

## 5.5. 嵌入式存储器 Block RAM

AG16K PSoC FPGA 包含多达 504 Kbit 的嵌入式 Block RAM (EBR)。

嵌入式存储器结构由 M9K 存储器模块的列组成, 用户可以配置各种存储器功能, 例如 RAM, 移位寄存器, ROM 和 FIFO。

M9K 支持以下功能:

- 每块 8192 的存储位 (每块包括奇偶校验 9216 个比特)
- 每个端口独立的读使能 (RDEN) 和写使能信号
- M9K 存储器块可分成两个 4.5kbits 单端口 RAM
- 可变端口配置
- 单端口和简单双端口模式支持所有端口宽度
- 真正的双端口 (一个读和一个写, 两个读或两个写) 操作
- 字节数据输入屏蔽
- 每个端口 (端口 A 和端口 B) 的两个时钟使能控制信号
- 初始化文件以在 RAM 和 ROM 模式下预加载存储器内容

特性列表参考 5-2:

**Table 5-2. Summary of M9K Memory Features**

Feature	M9K Blocks
Configurations (depth x width)	8192 x 1 4096 x 2 2048 x 4 1024 x 8 1024 x 9 512 x 16 512 x 18 256 x 32 256 x 36
Parity bits	Support
Byte enable	Support
Packed mode	Support
Address clock enable	Support
Single-port mode	Support
Simple dual-port mode	Support
True dual-port mode	Support
Embedded shift register mode	Support
ROM mode	Support
FIFO buffer	Support
Simple dual-port mixed width support	Support
True dual-port mixed width support	Support



Memory initialization file	Support
Mixed-clock mode	Support
Power-up condition	Outputs cleared
Register asynchronous clears	Read address registers and output registers only
Latch asynchronous clears	Output latches only
Write or read operation triggering	Write and read: Rising clock edges
Same-port read-during-write	Outputs set to <b>Old Data</b> or <b>New Data</b>
Mixed-port read-during-write	Outputs set to <b>Old Data</b> or <b>Don't Care</b>

AGM FPGA 器件 M9K 存储器模块可在多种操作模式实现全同步的 SRAM 存储器。M9K 内存块不支持异步内存输入。M9K 存储模块支持以下模式：单端口，简单双端口，真双端口，移位寄存器，ROM，FIFO。

## 5.6. 嵌入式乘法器

AGM PSoC FPGA 的嵌入式乘法器，有助于提高性能，降低系统成本并降低数字信号处理（DSP）系统的功耗。无论是单独使用或作为 DSP 设备协处理器，均可改善 DSP 系统的价格与性能比。特别是针对大量并行处理资源（包括视频和图像处理，无线通信以及多通道通信和视频系统）的应用优化。

嵌入式乘法器可配置为一个  $18 \times 18$  乘法器或两个  $9 \times 9$  乘法器。对于大于  $18 \times 18$  的乘法，AGM 软件将多个嵌入式乘法器模块级联在一起。乘法器的数据宽度没有限制，但是数据宽度越大，乘法过程越慢。

还可以使用 AGM PSoC FPGA 器件的嵌入式乘法器来实现乘加器和乘累加器功能，其中该功能的乘法器部分是通过嵌入式乘法器实现的，加法器或累加器功能是在逻辑单元（LE）中实现的。

## 5.7. I/O

AGM PSoC FPGA 器件支持以下 I/O 特性：

- 支持 3.3V，2.5V，1.8V 和 1.5V 逻辑电平：LVTTTL，LVCMOS
- 可编程驱动电流强度，总线保持，上拉电阻，开路漏极输出，输入和输出延迟，摆率控制。
- 差分 I/O 标准：LVPECL，True-LVDS，RSDS，Mini-LVDS，BLVDS。

AGM PSoC FPGA 器件上的 I/O 引脚可分组为不同 I/O bank。每个 bank 都有单独的电源总线。AGM PSoC FPGA 器件具有八个 I/O bank。每个设备 I/O 引脚与一个 I/O bank 相关联。所有 bank 都支持单端和差分 I/O 标准。

AGM PSoC FPGA 器件可以通过 LVDS 信号发送和接收数据。对于 LVDS 发送器和接收器，

设备的输入和输出引脚通过内部逻辑支持串行化和解串行化。

BLVDS 将 LVDS 的优势扩展到了双向背板等多路应用。对于多路应用，由于负载效应和在两端都需要终端总线，要求 BLVDS 输出比 LVDS 高的电流，以产生更好的电压摆幅。所有的 I/O bank 支持 BLVDS 作为用户 I/O 引脚。

RSDS 和 mini-LVDS 标准是 LVDS 标准的衍生标准。RSDS 和 mini-LVDS I/O 标准在电气特性上与 LVDS 相似，但电压摆幅较小，因此可提高功效，并减少电磁干扰 (EMI)。

LVDS 标准不需要输入参考电压，但是在输入缓冲器的两个信号之间确实需要一个 100 欧姆的端接电阻。顶部和底部 I/O bank 的发送器侧需要一个外部电阻器网络。

## 5.8. 外部存储器接口

AGM PSoC FPGA 体系结构可以轻松地实现各种外部存储器设备接口，包括 DDR2 SDRAM，DDR SDRAM 和 QDR II SRAM。外部存储设备广泛应用于图像处理，存储，通信和常规嵌入式应用程序的重要系统组件。AG16K PSoC FPGA 器件使用数据 (DQ)，数据选通 (DQS) 管脚，采用时钟，命令和地址的方式与外部存储器连接。

## 6. 器件配置

### 6.1. 配置流程

AGM PSoC 器件将配置数据存储存储在 SPI 闪存中。存储的配置文件包含 MCU 程序文件和 FPGA 配置文件。

器件加电后，首先加载 FPGA 配置文件，然后从内部 SPI 闪存的指定地址加载 MCU 初始化配置逻辑加载 MCU 程序文件。

### 6.2. 配置数据压缩

AGM PSoC 器件支持配置数据压缩，从而节省了配置存储空间和时间。此功能使您可以将压缩的配置数据存储存储在配置设备或其他存储器中，并将压缩的位流发送到 AGM PSoC。在配置过程中，AGM PSoC 器件会实时解压缩位流并对 SRAM 单元进行编程。启用压缩后，AGM 软件会生成带有压缩配置数据的配置文件。该压缩文件减少了配置设备或闪存中的存储要求，并减少了将比特流发送到 AGM PSoC 器件所需的时间。

## 7. DC 电气特性

### 7.1. 上电复位电路 (POR)

当为 AGM PSoC 器件供电时, POR 电路将监视 VCC, 当大约 1.2V 时 AGM PSoC 器件开始 SRAM 下载配置数据。VCCIO bank 达到足够的工作电压供电, 可以进入用户模式。如果同时为 VCC 和 VCCIO 供电, 则设备将进入用户模式。

对于处于用户模式的 AGM PSoC, POR 电路会持续监控 VCC (而非 VCCIO) 电源电平以检测掉电情况。如果在用户模式下 VCC 电压下降, 则 POR 电路将 SRAM 复位并使 I/O 引脚进入三态。一旦 VCC 升回到大约 1.2V, 器件配置将重新开始, 并且器件开始运行。

下表是 AGM PSoC 电气特性数据。

**Table 8-1 Absolute Maximum Ratings for AGM PSoC Devices**

Symbol	Parameter	Min	Max	Unit
VCCINT	Core voltage	-0.5	1.8	V
VCCA	Phase-locked loop (PLL) analog power supply	-0.5	3.75	V
VCCD_PLL	PLL digital power supply	-0.5	4.5	V
VCCIO	I/O banks power supply	-0.5	3.75	V
VCC_CLKIN	Differential clock input pins power supply	-0.5	4.5	V
Vi	DC input voltage	-0.5	4.2	V
IOUT	DC output current, per pin	-25	40	mA
TSTG	Storage temperature	-65	150	°C
TJ	Operating junction temperature	-40	100	°C

**Table 8-2. Recommended Operating Conditions**

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
VCCINT	Supply voltage for internal logic, 1.2V operation	-	1.15	1.2	1.25	V
VCCIO	Supply voltage for output buffers, 3.3-V operation	-	3.135	3.3	3.465	V
	Supply voltage for output buffers, 2.5-V operation	-	2.375	2.5	2.625	V
	Supply voltage for output buffers, 1.8-V operation	-	1.71	1.8	1.89	V
	Supply voltage for output buffers, 1.5-V operation	-	1.425	1.5	1.575	V
VCCA	Supply (analog) voltage for PLL regulator	-	2.375	2.5	2.625	V
VCCD_PLL	Supply (digital) voltage for PLL,	-	1.15	1.2	1.25	V

	1.2-V operation					
V <sub>I</sub>	Input voltage	-	-0.5	-	3.6	V
V <sub>O</sub>	Output voltage	-	0	-	V <sub>CCI</sub> O	V
T <sub>J</sub>	Operating junction temperature	For commercial use	0	-	85	°C
		For industrial use	-40	-	100	°C
t <sub>RAMP</sub>	Power supply ramp time	Standard power-on reset (POR)	50 μs	-	50 ms	-
		Fast POR	50 μs	-	3 ms	-

**Table 8-3. I/O Pin Leakage Current**

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
I <sub>I</sub>	Input pin leakage current	V <sub>I</sub> = 0 V to V <sub>CCIOMAX</sub>	-10	-	10	μA
I <sub>OZ</sub>	Tristated I/O pin leakage current	V <sub>O</sub> = 0 V to V <sub>CCIOMAX</sub>	-10	-	10	μA

**Table 8-4. Single-Ended I/O Standard Specifications**

I/O Standard	V <sub>CCIO</sub> (V)			V <sub>IL</sub> (V)		V <sub>IH</sub> (V)		V <sub>OL</sub> (V)	V <sub>OH</sub> (V)	I <sub>OL</sub> (mA)	I <sub>OH</sub> (mA)
	Min	Typ	Max	Min	Max	Min	Max	Max	Min		
3.3-V LVTTTL	3.135	3.3	3.465	-	0.8	1.7	3.6	0.45	2.4	4	-4
3.3-V LVCMOS	3.135	3.3	3.465	-	0.8	1.7	3.6	0.2	V <sub>CCIO</sub> -0.2	2	-2
2.5 V	2.375	2.5	2.625	-0.3	0.7	1.7	V <sub>CCIO</sub> +0.3	0.4	2.0	1	-1
1.8 V	1.71	1.8	1.89	-0.3	0.35 x V <sub>CCIO</sub>	0.65 x V <sub>CCIO</sub>	2.25	0.45	V <sub>CCIO</sub> -0.45	2	-2
1.5 V	1.425	1.5	1.575	-0.3	0.35 x V <sub>CCIO</sub>	0.65 x V <sub>CCIO</sub>	V <sub>CCIO</sub> +0.3	0.25 x V <sub>CCIO</sub>	0.75 x V <sub>CCIO</sub>	2	-2

**Table 8-5. Differential I/O Standard Specifications**

I/O Standard	V <sub>CCIO</sub> (V)			V <sub>ID</sub> (mV)		V <sub>ICM</sub> (V)		
	Min	Typ	Max	Min	Max	Min	Condition	Max

LVPECL	2.375	2.5	2.625	100	-	0.05	$D_{MAX} \leq 500$ Mbps	1.80
						0.55	$500 \text{ Mbps} \leq D_{MAX} \leq 700$ Mbps	1.80
						1.05	$D_{MAX} > 700$ Mbps	1.55
LVDS	2.375	2.5	2.625	100	-	0.05	$D_{MAX} \leq 500$ Mbps	1.80
						0.55	$500 \text{ Mbps} \leq D_{MAX} \leq 700$ Mbps	1.80
						1.05	$D_{MAX} > 700$ Mbps	1.55

I/O Standard	V <sub>CCIO</sub> (V)			V <sub>ID</sub> (mV)		V <sub>OD</sub> (mV)			V <sub>OS</sub> (V)		
	Min	Typ	Max	Min	Max	Min	Typ	Max	Min	Typ	Max
LVDS	2.375	2.5	2.625	100	-	247	-	600	1.125	1.25	1.375
BLVDS	2.375	2.5	2.625	100	-	-	-	-	-	-	-
mini-LVDS	2.375	2.5	2.625	-	-	300	-	600	1.0	1.2	1.4
RSDS	2.375	2.5	2.625	-	-	100	200	600	0.5	1.2	1.5

CONFIDENTIAL

## 8. MCU 系统地址及寄存器

查看完整的 MCU 系统级地址映射和寄存器信息，请参考 AGM 相关文档《Manual\_MCU\_M3\_AG16K》。

## 9. 管脚排列

请参考 AGM PSoC 系列器件相关 Pin-out 文档。

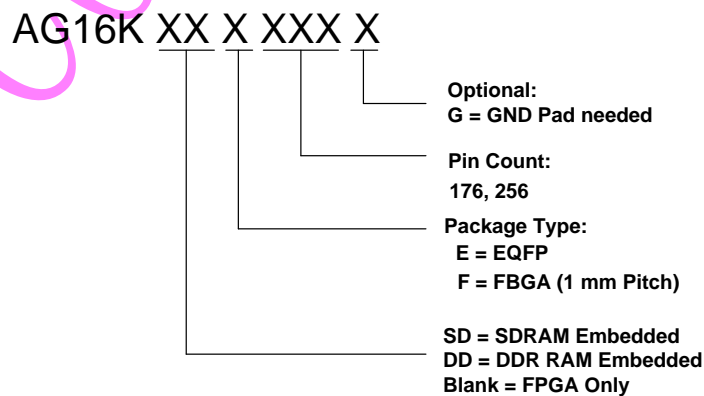
## 10. 开发软件

AGM PSoC MCU 的软件开发，采用业界标准的 ARM 处理器开发工具 Keil。程序文件可通过 AGM 软件 Supra 烧录到配置 SPI 闪存中。

AGM 软件工具 Supra 支持从 RTL 输入，综合，布局布线，位流配置烧录的全流程设计。支持的操作系统平台包括 Microsoft Windows 和 Linux。请参考 Supra 应用手册。

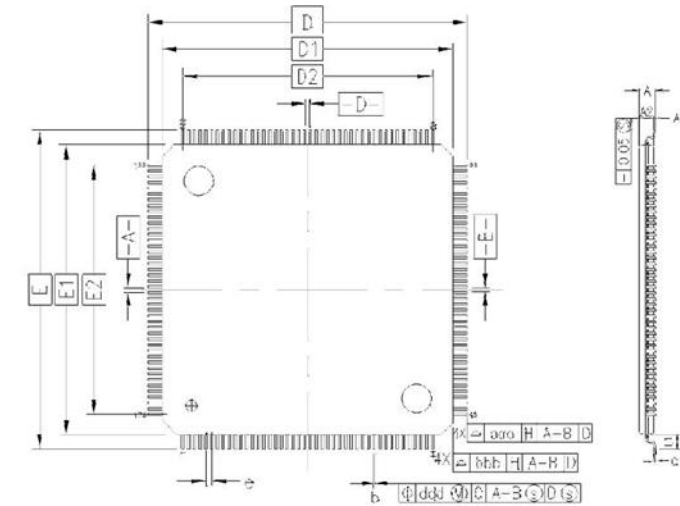
## 11. 型号信息

Table11-1 Device Part Number Description



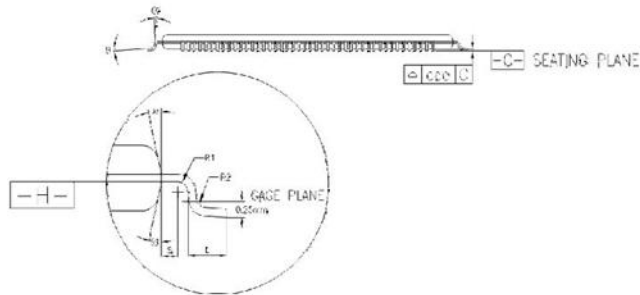
12. 器件封装

EQFP-176 封装

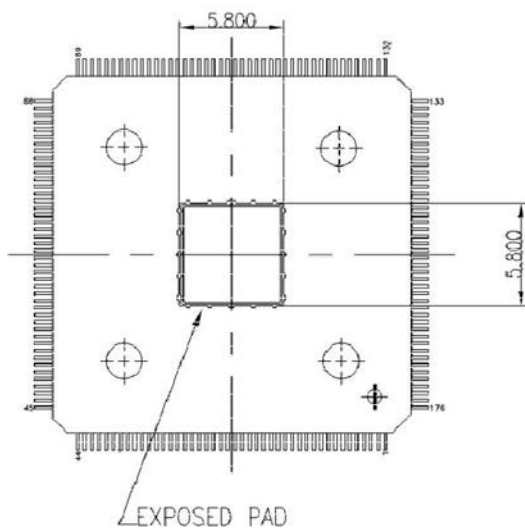


CONTROL DIMENSIONS ARE IN MILLIMETERS.

SYMBOL	MILLIMETER			INCH		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	1.00	1.10	1.20	0.039	0.043	0.047
A1	0.05	0.10	0.15	0.002	0.004	0.006
A2	0.05	1.00	1.05	0.002	0.039	0.041
D	22.00 BSC.			0.866 BSC.		
D1	20.00 BSC.			0.787 BSC.		
E	22.00 BSC.			0.866 BSC.		
E1	20.00 BSC.			0.787 BSC.		
R2	0.08	—	0.20	0.003	—	0.008
R1	0.08	—	—	0.003	—	—
θ	0°	3.5°	7°	0°	3.5°	7°
θ <sub>1</sub>	0°	—	—	0°	—	—
θ <sub>2</sub>	11°	12°	13°	11°	12°	13°
θ <sub>3</sub>	11°	12°	13°	11°	12°	13°
c	0.09	—	0.20	0.004	—	0.008
l	0.45	0.60	0.75	0.018	0.024	0.030
L <sub>1</sub>	1.00 REF.			0.039 REF.		
S	0.20	—	—	0.008	—	—

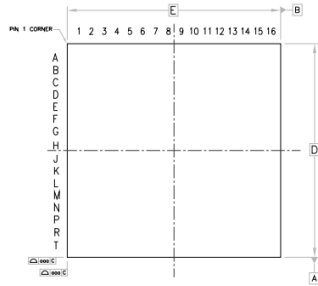


PKG. BOTTOM SIDE

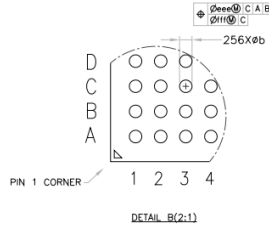


SYMBOL	176L					
	MILLIMETER			INCH		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
b	0.13	0.16	0.23	0.005	0.006	0.009
e	0.40 BSC.			0.016 BSC.		
D2	17.20			0.677		
E2	17.20			0.677		
TOLERANCES OF FORM AND POSITION						
aaa	0.20			0.008		
bbb	0.20			0.008		
ccc	0.08			0.003		
ddd	0.07			0.003		

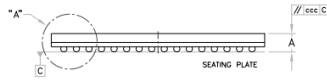
FBGA-256 封装



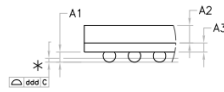
TOP VIEW



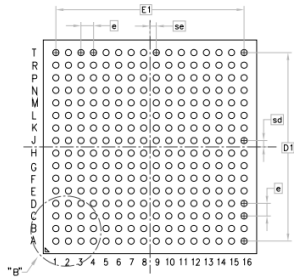
DETAIL B(2:1)



SIDE VIEW



DETAIL A(2:1)



BOTTOM VIEW

FOR CUSTOMER ONLY		LFBGA		
PACKAGE TYPE		256		
PIN COUNT		256		
DESCRIPTION	SYMBOL	MILLIMETER		
		MIN	NOM	MAX
TOTAL THICKNESS	A	-	1.46	1.55
STAND OFF	A1	0.35	0.40	0.45
MOLD THICKNESS	A2	-	0.70 <sub>BSC</sub>	-
MATERIAL THICKNESS	A3	0.32	0.36	0.40
PACKAGE SIZE	D	16.90	17.00	17.10
	E	16.90	17.00	17.10
BALL PITCH	e	-	1.00 <sub>BSC</sub>	-
BALL SIZE	b	0.45	0.50	0.55
EDGE BALL CENTER TO CENTER	D1	-	15.00 <sub>BSC</sub>	-
EDGE BALL CENTER TO CENTER	E1	-	15.00 <sub>BSC</sub>	-
PACKAGE EDGE PROFILE	aaa	-	0.10	-
SUBSTRATE FLATNESS	bbb	-	-	-
MOLD FLATNESS	ccc	-	0.10	-
BALL COPLANARITY	ddd	-	0.15	-
BALL POSITION OFFSET (PACKAGE)	eee	-	0.15	-
BALL POSITION OFFSET (BALL)	fff	-	0.08	-
	sd	-	0.50	-
	se	-	0.50	-

CONFIDENTIAL



### 13. 建议的回流焊曲线

Figure. 13-1 Classification Reflow Profile

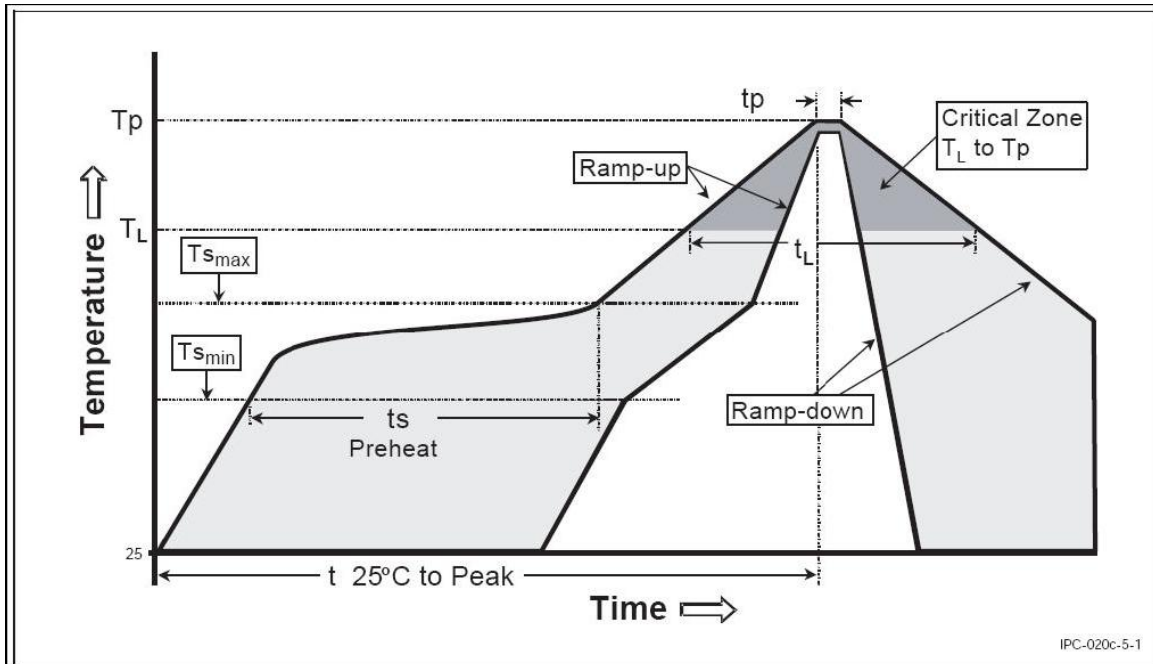


Table 13-1 Classification Reflow Profiles

Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
Average Ramp-Up Rate (T <sub>Smax</sub> to T <sub>p</sub> )	3 °C/second max.	3 °C/second max.
Preheat		
-Temperature Min (T <sub>Smin</sub> )	100 °C	150 °C
-Temperature Max (T <sub>Smax</sub> )	100 °C	200 °C
-Time (t <sub>Smin</sub> to t <sub>Smax</sub> )	60-120 seconds	60-180 seconds
Time maintained above:		
-Temperature (T <sub>L</sub> )	183 °C	217 °C
-Time (t <sub>L</sub> )	60-150seconds	60-150 seconds
Peak /Classification Temperature(T <sub>p</sub> )	See Table 10	See Table 11
Time within 5 oC of actual Peak Temperature (t <sub>p</sub> )	10-30 seconds	20-40 seconds
Ramp-Down Rate	6 °C/second max.	6 °C/seconds max.
Time 25 oC to Peak Temperature	6 minutes max.	8 minutes max.

**Table 13-2 Sn-Pb Eutectic Process – Package Peak Reflow Temperatures**

Package Thickness	Volume mm3 <350	Volume mm3 ≥350
<2.5mm	240 + 0/-5 °C	225 + 0/-5 °C
≥2.5mm	225 + 0/-5 °C	225 + 0/-5 °C

**Table 13-3 Pb-free Process – Package Classification Reflow Temperatures**

Package Thickness	Volume mm3 <350	Volume mm3 350-2000	Volume mm3 >2000
<1.6mm	260 + 0 °C *	260 + 0 °C *	260 + 0 °C *
1.6mm – 2.5mm	260 + 0 °C *	250 + 0 °C *	245 + 0 °C *
≥2.5mm	250 + 0 °C *	245 + 0 °C *	245 + 0 °C *

\*Tolerance : The device manufacturer/supplier shall assure process compatibility up to and including the stated classification temperature (this mean Peak reflow temperature + 0 °C. For example 260+ 0 °C ) at the rated MSL Level.

- Note 1: All temperature refer topside of the package. Measured on the package body surface.
- Note 2: The profiling tolerance is + 0 °C, - X °C (based on machine variation capability) whatever is required to control the profile process but at no time will it exceed – 5 °C. The producer assures process compatibility at the peak reflow profile temperatures defined in Table 9-3.
- Note 3: Package volume excludes external terminals (balls, bumps, lands, leads) and/or non integral heat sinks.
- Note 4: The maximum component temperature reached during reflow depends on package the thickness and volume. The use of convection reflow processes reduces the thermal gradients between packages. However, thermal gradients due to differences in thermal mass of SMD package may still exist.
- Note 5: Components intended for use in a “lead-free” assembly process shall be evaluated using the “lead free” classification temperatures and profiles defined in Table 8-1, 8-2, 8-3 whether or not lead free.

## 14. 符合 RoHS

该产品不含铅，汞，镉，六价铬，多溴联苯（PBB）或多溴联苯醚（PBDE），因此符合 RoHS 标准。

## 15. ESD 注意事项

AGM PSoC 器件中有 ESD 保护电路，但是需要特殊的处理预防措施。请参考 PCB 设计指导文档。

CONFIDENTIAL