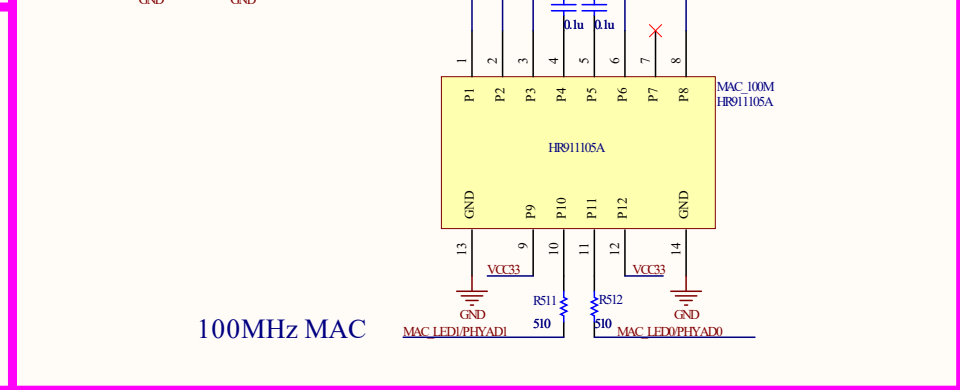
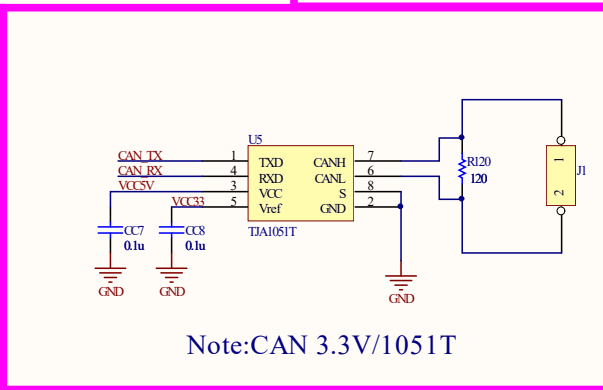
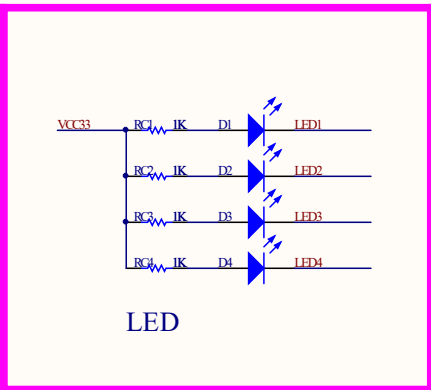
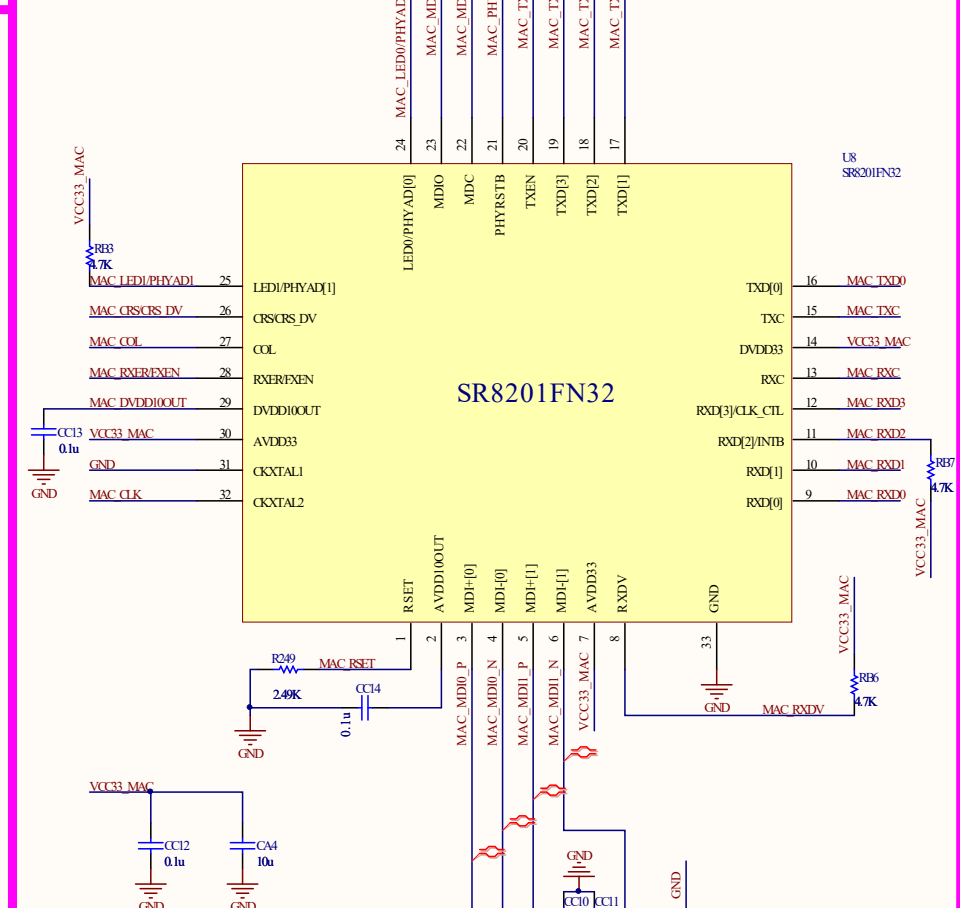
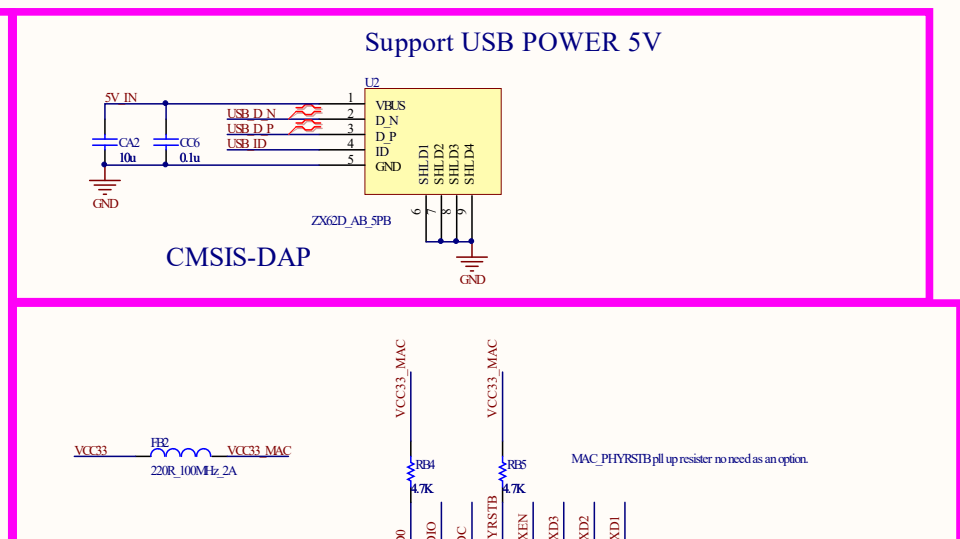
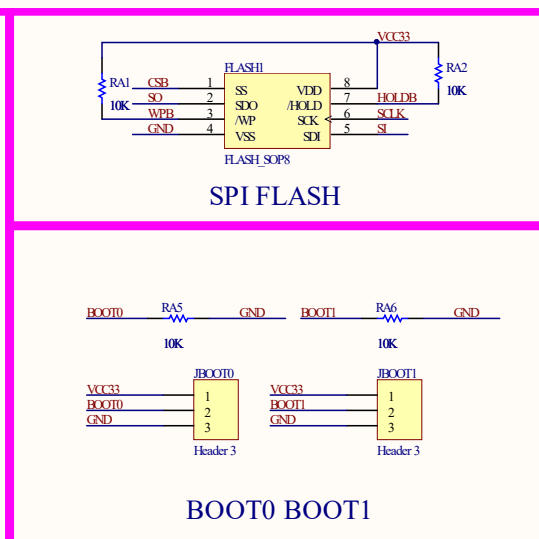
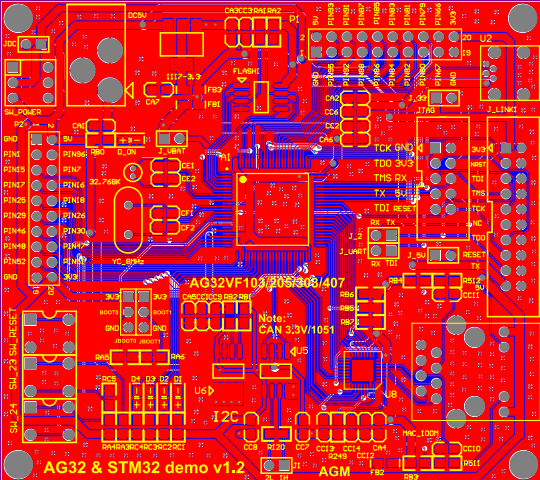


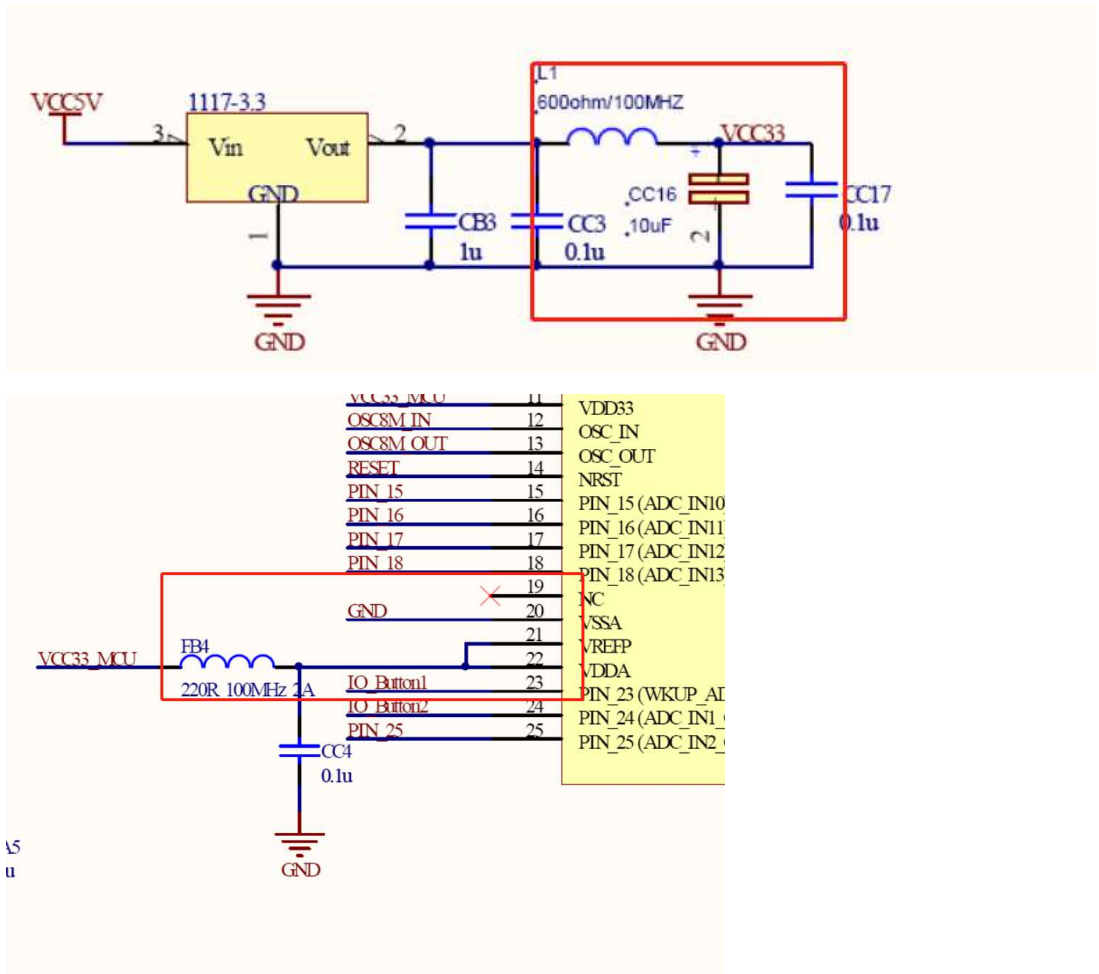


Title		
Size C	Number	Revision
Date: File:	2024/7/24 E:\project\JAG32\MCU\100.SchDoc	Sheet of Drawn By:



硬件设计注意事项:

1. HSE 外部晶体的范围 4~16MHz, 推荐 8MHz。
2. VDD/VDDA 的范围都是 3.0~3.6V, 不能低于 3.0V。
3. 除了 ADC, DAC, CMP, USB, OSC, JTAG, 这些端口不能重新映射, 其它数字部分端口都可以重新映射到带 IO 的 PIN 上。
4. 芯片支持 SWD 下载, 使用 SWDCLK (TCK), SWDIO(TMS), GND 即可。
5. 串口下载只支持 UART0, 不能重新映射, 除非自己写 bootloader。串口下载时, 注意 BOOT0(高), BOOT1(低)。
6. 为了更好通过 EFT 测试, 建议 3.3 输入前加个磁珠保护。VDDA 前面也最好加上磁珠。这部分是给 PLL, ADC 等供电的。



7. 上电引脚电平:

引脚名称	配置生效前的电平 (上电电平)
NRST	Pull-up
IO_BOOT1	Pull-up
IO_UART0_TX	Boot1=0, Boot0=1: Output
IO_UART0_RX	Boot1=0, Boot0=1: Input Pull-up.
IO_JTMS	Pull-up
IO_JTCK	Pull-down
IO_JTDI	Pull-up
IO_JNTRST	Pull-up

注意，其它 IO 上电时是 floating 状态。需要等 logic 部分配置生效后，用户配置的 IO 上下拉才能生效。这个配置时间与 logic 部分是否压缩及文件大小本身有关，一般在 20~40mS 左右。如果用户对硬件电路上的上电电平有要求的话，尽量使用外加电阻实现上下拉。内部上下拉电阻的阻值大小一般在 40k 左右。